

501.43367X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Sadayuki MORITA, et al  
Serial No.:  
Filed: February 2, 2004  
Title: SEMICONDUCTOR DEVICE  
Group:

LETTER CLAIMING RIGHT OF PRIORITY

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

February 2, 2004

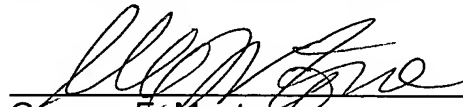
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2003-047071 filed February 25, 2003.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



\_\_\_\_\_  
Gregory E. Montone  
Registration No. 28,141

GEM/nac  
Attachment  
(703) 312-6600



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年   2 月 2 5 日  
Date of Application:

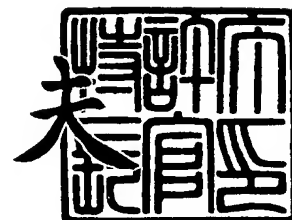
出 願 番 号                      特 願 2 0 0 3 - 0 4 7 0 7 1  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 4 7 0 7 1 ]

出      願      人                      株式会社ルネサステクノロジ  
Applicant(s):                      株式会社日立超エル・エス・アイ・システムズ

2 0 0 3 年 1 0 月 2 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 H02015821

【提出日】 平成15年 2月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/00

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立  
超エル・エス・アイ・システムズ内

【氏名】 森田 貞幸

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 斉藤 良和

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 03-5217-3960

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 マイクロプロセッサと、それによってアクセス可能な半導体メモリとが結合されて成る半導体装置であって、

上記マイクロプロセッサは、電源電圧が供給されることにより、外部との間で信号のやり取りを可能とするシステム側入出力バッファ回路を含んで成り、

上記半導体メモリは、上記電源電圧を参照電圧として取り込んで、上記電源電圧にはほぼ等しい内部電源電圧を生成する内部電源回路と、

上記内部電源電圧が供給されることにより、上記システム側入出力バッファ回路との間で信号のやり取りを可能とするメモリ側入出力バッファ回路と、を含んで成ることを特徴とする半導体装置。

【請求項 2】 上記半導体メモリは、上記電源電圧を参照電圧として取り込むための専用の外部端子を含む請求項 1 記載の半導体装置。

【請求項 3】 上記マイクロプロセッサは、上記電源電圧の供給によって動作される内部回路を含む請求項 2 記載の半導体装置。

【請求項 4】 上記内部電源回路は、取り込まれた電源電圧と、上記内部電源回路の出力電圧とを比較するための差動回路と、

上記差動回路での比較結果に基づいて、上記内部電源電圧のレベルを決定するための電圧出力回路と、を含んで成る請求項 3 記載の半導体装置。

【請求項 5】 上記半導体メモリは、上記内部電源電圧よりも高いレベルの第 2 内部電源電圧が供給されることによって動作されるメモリ内部回路を含み、

上記メモリ側入出力バッファ回路は、上記内部電源電圧レベルの信号を上記第 2 内部電源電圧レベルの信号にシフト可能なレベルシフト回路を含む請求項 4 記載の半導体装置。

【請求項 6】 上記半導体メモリは、上記内部電源電圧よりも低いレベルの第 3 内部電源電圧を発生させるための降圧回路と、

上記第 3 内部電源電圧が供給されることによって動作されるメモリ内部回路と、を含み、

上記メモリ側入出力バッファ回路は、上記第3内部電源電圧レベルの信号を上記内部電源電圧レベルの信号にシフト可能なレベルシフト回路を含む請求項4記載の半導体装置。

【請求項7】 マイクロプロセッサと、それによってアクセス可能な半導体メモリとが結合されて成る半導体装置であって、

上記マイクロプロセッサは、外部から与えられた電源電圧を降圧することで内部コア電源電圧を生成する内部コア電源回路と、

上記内部コア電源電圧の供給によって動作され、外部との間で信号のやり取りを可能とするシステム側入出力バッファ回路とを含んで成り、

上記半導体メモリは、上記内部コア電源電圧を参照として取り込んで、上記内部コア電源電圧にほぼ等しい内部電源電圧を生成する内部電源回路と、

上記内部電源電圧が供給されることにより、上記システム側入出力バッファ回路との間で信号のやり取りを可能とするメモリ側入出力バッファ回路と、を含んで成ることを特徴とする半導体装置。

【請求項8】 上記半導体メモリは、上記内部コア電源電圧を参照電圧として取り込むための専用の外部端子を含む請求項7記載の半導体装置。

【請求項9】 上記マイクロプロセッサは、上記電源電圧の供給によって動作される内部回路を含む請求項8記載の半導体装置。

【請求項10】 上記内部電源回路は、上記外部端子を介して取り込まれた電源電圧と、上記内部電源回路の出力電圧とを比較するための差動回路と、

上記差動回路での比較結果に基づいて、上記内部電源電圧のレベルを決定するための電圧出力回路と、を含んで成る請求項9記載の半導体装置。

【請求項11】 上記マイクロプロセッサは、クロック信号を外部出力可能なクロックドライバを含み、

上記半導体メモリは、上記マイクロプロセッサにおける上記クロックドライバを介して出力されたクロック信号を取り込むためのクロックバッファと、

上記クロックバッファを介して取り込まれたクロック信号に同期動作する論理回路と、を含んで成る請求項7記載の半導体装置。

【請求項12】 上記マイクロプロセッサと上記半導体メモリとは、互いに

別チップで形成され、且つ、それらが樹脂モールドされることで一体化された請求項 1 乃至 11 の何れか 1 項記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に、複数の半導体チップが共通の配線基板上に搭載されて組み立てられるマルチチップモジュールに適用して有効な技術に関する。

【0002】

【従来の技術】

最近、共通の配線基板にマイクロプロセッサ、メモリ等の複数の L S I チップを搭載して、小型のコンピュータシステムを構成するようにしたマルチチップモジュール技術が普及してきている（例えば特許文献 1 参照）。

【0003】

このマルチチップモジュールにおいては、予めパターンニングされたプリント基板、セラミック基板等の配線基板を用いて、この共通の配線基板上に複数のベアの L S I チップを配置して、L S I チップのパッド電極と配線基板上のパターン（導電層）とを、ワイヤーボンディング法、フリップチップ法等によって接続して実装することが行われる。複数のベアの L S I チップは、平面的に配置される場合と、積み重ねられる場合とがある。複数のベアの L S I チップが積み重ねられる場合の例としては、大容量の S R A M（スタティック・ランダム・アクセス・メモリ）を省いたモバイル用システム L S I 上に、S R A M を載置して成るものがある。

【0004】

また、信号出力回路から異なる電圧で動作する外部回路に対して出力される信号のレベルを、プルアップ抵抗などの外付け部品を用いることなく適正に変換して送信するための技術として、最終出力段以外は 5 V の駆動用電源によって駆動される L S I の最終出力段に、上記駆動用電源とは独立に駆動用電源が供給されたインバータゲートを配置し、そのインバータゲートの電源入力端子に、L S I

の出力信号が与えられるLSIの駆動用電源を電源線を介して接続する技術が知られている（例えば特許文献2参照）。

**【0005】****【特許文献1】**

特許公開平9-331016号公報

**【特許文献2】**

特開平11-41089号公報

**【0006】****【発明が解決しようとする課題】**

大容量のSRAMを内蔵するシングルチップ型モバイル用マイクロプロセッサに対して、大容量のSRAMを省いたモバイル用マイクロプロセッサ上に、汎用の低消費電力型SRAMを載置して成るマルチチップモジュールにおいては、各チップ毎に、コア電圧とインタフェース電圧との2種類の電圧を有するため、マイクロプロセッサと外付けSRAMとの間で信号のやり取りを行う場合に、マイクロプロセッサにおけるI/O部と、SRAMチップにおけるI/O部とで、それぞれ個別的にレベルシフトが行われることから、高速メモリアクセスが阻害されることが本願発明者によって見いだされた。

**【0007】**

本発明の目的は、半導体装置において高速メモリアクセスを可能とするための技術を提供することにある。

**【0008】**

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

**【0009】****【課題を解決するための手段】**

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

**【0010】**

すなわち、マイクロプロセッサと半導体メモリを含んで半導体装置が構成され



るとき、マイクロプロセッサは、電源電圧が供給されることにより、外部との間で信号のやり取りを可能とするシステム側入出力バッファ回路を含んで構成し、上記半導体メモリは、上記電源電圧を参照電圧として取り込んで、上記電源電圧にはほぼ等しい内部電源電圧を生成する内部電源回路と、上記内部電源電圧が供給されることにより、上記システム側入出力バッファ回路との間で信号のやり取りを可能とするメモリ側入出力バッファ回路とを含んで構成する。

#### 【0011】

上記の手段によれば、マイクロプロセッサの電源電圧を参照電圧として半導体メモリに取り込み、それに基づいて生成された内部電源電圧を半導体メモリにおけるメモリ側入出力バッファ回路に供給することにより、メモリ側入出力バッファ回路の信号レベルをシステム側入出力バッファ回路に合わせることができる。このことが、マイクロプロセッサ側のレベルシフトを不要とし、マイクロプロセッサから半導体メモリの高速アクセスを可能とする。

#### 【0012】

このとき、上記半導体メモリは、上記電源電圧を参照電圧として取り込むための専用の外部端子を含んで構成することができる。また、上記マイクロプロセッサは、上記電源電圧の供給によって動作される内部回路を含んで構成することができる。上記内部電源回路を簡単に構成するには、取り込まれた電源電圧と、上記内部電源回路の出力電圧とを比較するための差動回路と、上記差動回路での比較結果に基づいて、上記内部電源電圧のレベルを決定するための電圧出力回路とを含んで構成すると良い。

#### 【0013】

上記半導体メモリには、上記内部電源電圧よりも高いレベルの第2内部電源電圧が供給されることによって動作されるメモリ内部回路を設け、上記メモリ側入出力バッファ回路には、上記内部電源電圧レベルの信号を上記第2内部電源電圧レベルの信号にシフト可能なレベルシフト回路を設けることができる。

#### 【0014】

上記半導体メモリには、上記内部電源電圧よりも低いレベルの第3内部電源電圧を発生させるための降圧回路と、上記第3内部電源電圧が供給されることによ

って動作されるメモリ内部回路と設け、上記メモリ側入出力バッファ回路には、上記第3内部電源電圧レベルの信号を上記内部電源電圧レベルの信号にシフト可能なレベルシフト回路を設けることができる。

#### 【0015】

また、上記マイクロプロセッサが、外部から与えられた電源電圧を降圧することで内部コア電源電圧を生成する内部コア電源回路と、上記内部コア電源電圧の供給によって動作され、外部との間で信号のやり取りを可能とするシステム側入出力バッファ回路とを含んで構成されるとき、上記半導体メモリは、上記内部コア電源電圧を参照として取り込んで、上記内部コア電源電圧にほぼ等しい内部電源電圧を生成する内部電源回路と、上記内部電源電圧が供給されることにより、上記システム側入出力バッファ回路との間で信号のやり取りを可能とするメモリ側入出力バッファ回路とを含んで構成することができる。

#### 【0016】

上記半導体メモリがクロック同期型とされる場合には、上記マイクロプロセッサには、クロック信号を外部出力可能なクロックドライバを設け、上記半導体メモリには、上記マイクロプロセッサにおける上記クロックドライバを介して出力されたクロック信号を取り込むためのクロックバッファと、上記クロックバッファを介して取り込まれたクロック信号に同期動作する論理回路とを設けることができる。

#### 【0017】

上記マイクロプロセッサと上記半導体メモリとは、互いに別チップで形成し、それらを樹脂モールドすることで一体化することができる。

#### 【0018】

#### 【発明の実施の形態】

図2には、本発明にかかる半導体装置の一例であるマルチチップモジュールが示される。図2に示されるマルチチップモジュール1は、特に制限されないが、システムLSIなどと称されるマイクロプロセッサ10と、それによってアクセス可能なSRAM（スタティック・ランダム・アクセス・メモリ）20とが基板30に載置され、樹脂モールドなどによって一体化されて成る。マイクロプロセ

ッサ 10、SRAM 20、及び基板 30 には、それぞれボンディングパッド 11-1~11-n、21-1~21-n、及び 31-1、31-2 が形成され、それらがボンディングワイヤで結合されることによって、信号のやり取りや電源供給が可能とされる。SRAM 20 は、マイクロプロセッサ 10 での処理における作業領域などとして使用される。このため、マイクロプロセッサ 10 には、作業領域などとして使用される SRAM は内蔵されていない。

#### 【0019】

図 3 には、上記マイクロプロセッサ 10 の構成例が示される。

#### 【0020】

マイクロプロセッサ 10 は、特に制限されないが、図 3 に示されるように、中央処理装置 (CPU) 101、リードオンリーメモリ (ROM) 102、システム側入出力バッファ回路 103、ダイレクトメモリアクセスコントローラ (DMAC) 104、及びバスステートコントローラ (BSC) 105 を含み、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。CPU 101、ROM 102、システム側入出力バッファ回路 103、DMAC 104、及び BSC 105 は、バス 106 によって信号のやり取り可能に結合される。

#### 【0021】

ROM 102 は、CPU 101 で実行されるプログラムを保持する。システム側入出力バッファ回路 103 は、後に詳述するように、ボンディングパッドを介して外部との間で各種信号のやり取りを可能とする。特に CPU 101 は、システム側入出力バッファ回路 103 を介して上記 SRAM 20 のアクセスを行うことができる。DMAC 104 は、図示されないチップ内外のメモリ間や、内蔵周辺モジュール間での DMA 転送を制御する。BSC 105 は、例えばウェイトサイクルの挿入などのバスステート制御を行う。

#### 【0022】

図 4 には、上記 SRAM 20 の構成例が示される。

#### 【0023】

SRAM 20 は、特に制限されないが、図 4 に示されるように、メモリセルア

レイ 201、ロウデコーダ 202、コントローラ 203、カラム選択回路 204、カラムデコーダ 205、メモリ側入出力バッファ回路 206、及び内部電源回路 207を含み、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。

#### 【0024】

メモリセルアレイ 201は、複数のワード線と、それに交差するように配置された複数のビット線と、上記ワード線と上記ビット線との交差箇所に配置された複数のスタティック型メモリセルとを含んで成る。ロウデコーダ 202は、ロウアドレス信号をデコードすることにより、上記複数のワード線から1本のワード線を選択レベルに駆動するための信号を生成する。カラム選択回路 204は、上記複数のビット線を選択的にコモン線に結合させるための複数のカラム選択スイッチを含んで成る。カラムデコーダ 205は、カラムアドレス信号をデコードすることにより、上記カラム選択スイッチの駆動信号を生成する。メモリ側入出力バッファ回路 206は、上記コモン線のデータを外部出力するための出力回路と、上記メモリセルアレイ 201への書き込みデータを外部から取り込むための入力回路とを含む。コントローラ 203は、外部から与えられる制御信号に従って各部の動作タイミング信号を生成する。内部電源回路 207は、マイクロプロセッサ 10で使用される電源電圧を参照電圧として取り込んで内部電源電圧  $V_{DD}'$  を生成する。生成された内部電源電圧  $V_{DD}'$  は、主としてメモリ側入出力バッファ回路 206に供給される。

#### 【0025】

図1には、上記マイクロプロセッサ 10における主要部と、上記SRAM 20における主要部とが示される。

#### 【0026】

マイクロプロセッサ 10においては、ボンディングパッド 11-1, 11-2が、それぞれ基板 30におけるボンディングパッド 30-1, 30-2にボンディングされることにより、高電位側電源  $V_{CC}$ 、及び高電位側電源  $V_{DD}$  の取り込みが可能とされる。特に制限されないが、高電位側電源  $V_{CC}$  は 3.3V とされ、高電位側電源  $V_{DD}$  は 1.5V とされる。高電位側電源  $V_{DD}$  は、CPU 1

01、ROM102、システム側入出力バッファ回路103、DMAC104、及びBSC105など、マイクロプロセッサ10におけるコア部分に供給される。この場合、CPU101、ROM102、システム側入出力バッファ回路103、DMAC104、及びBSC105間でやり取りされる各種信号のローレベルは低電位側電源VSS（グランド）レベル、ハイレベルは高電位側電源VDD（=1.5V）レベルとされる。

#### 【0027】

複数のボンディングパッド11-3～11-nは、SRAM20における複数のボンディングパッド21-3～21-nに、ボンディングワイヤによって結合される。

#### 【0028】

システム側入出力バッファ回路103は、複数のボンディングパッド11-3～11-nに対応する複数の入出力バッファ103-3～103-nを含む。そのうちの一つである入出力バッファ103-3は次のように構成される。

#### 【0029】

バス106の所定ビットの論理とライトイネーブル信号WEとのナンド論理を得るナンドゲート71と、このナンドゲート71の出力信号によって動作制御されるpチャネル型MOSトランジスタ73と、SRAM20への書込みデータの有効性を示すライトイネーブル信号WEの論理を反転するためのインバータ70と、このインバータ70の出力信号と上記バス106の所定ビットの論理とのノア論理を得るノアゲート72と、このノアゲート72の出力信号によって動作制御されるnチャネル型MOSトランジスタ74とが結合されることで、上記ライトイネーブル信号WEがハイレベルにアサートされた期間に上記バス106の所定ビットの論理をボンディングパッド11-3に伝達するための出力バッファが形成される。また、ボンディングパッド11-3の論理とSRAM20からの読出しデータの有効性を示すリードイネーブル信号REとのナンド論理を得るナンドゲート81と、このナンドゲート81の出力信号によって動作制御されるpチャネル型MOSトランジスタ83と、リードイネーブル信号REの論理を反転するためのインバータ80と、このインバータ80の出力信号とボンディングパッ

ド11-3の論理とのノア論理を得るノアゲート82と、このノアゲート82の出力信号によって動作制御されるnチャンネル型MOSトランジスタ84とが結合されることで、上記リードイネーブル信号REがハイレベルにアサートされた期間に上記ボンディングパッド11-3の論理をバス106に伝達するための入力バッファが形成される。上記リードイネーブル信号REがローレベルにネゲートされた期間では、MOSトランジスタ83, 84の双方がオフされることにより、バス106に対して高インピーダンス状態とされる。

#### 【0030】

他のボンディングパッド11-nに対応する入出力バッファ103-nも、上記入出力バッファ103-3と同様に構成される。

#### 【0031】

尚、アドレス信号や各種制御信号の場合には、マイクロプロセッサ10からSRAM20に対して出力されるのみで、SRAM20からマイクロプロセッサ10に取り込まれることはない。従って、アドレス信号や各種制御信号の端子(パッド)に対応するバッファにおいては、入力バッファを省略し、出力バッファのみとすることができる。

#### 【0032】

上記構成のシステム側入出力バッファ回路103によれば、ライトイネーブル信号WEがハイレベルにアサートされた期間において、バス106の信号を、ボンディングパッド11-3~11-nを介してSRAM20に伝達することができる。また、リードイネーブル信号REがハイレベルにアサートされた期間においては、SRAM20から伝達された信号をボンディングパッド11-3~11-n経由で取り込み、それをバス106に伝達することができる。

#### 【0033】

次に、SRAM20においては、ボンディングパッド21-1, 21-2が、それぞれ基板30におけるボンディングパッド30-1, 30-2にボンディングされることにより、高電位側電源VCC、及び高電位側電源VDDの取り込みが可能とされる。高電位側電源VCCは、コントローラ203や、ロウデコーダ202、カラムデコーダ205、内部電源回路207などに供給される。高電位

側電源VDDは内部電源回路207に参照電圧として取り込まれる。

#### 【0034】

内部電源回路207は、ボンディングパッド21-2を介して伝達された高電位側電源VDD（この電源VDDはマイクロプロセッサ10におけるシステム側入出力バッファ回路103へも供給される）を参照電圧Vrefとして取り込んで内部電源電圧VDD'を生成する。ここで、内部電源電圧VDD'の電位レベルは、高電位側電源VDDの電位レベルにほぼ等しくされる。内部電源回路207は次のように構成される。

#### 【0035】

ボンディングパッド21-2を介して伝達された高電位側電源VDDに含まれるノイズ成分を除去するためのキャパシタ46が設けられる。この高電位側電源VDDはnチャネル型MOSトランジスタ42のゲート電極に伝達される。nチャネル型MOSトランジスタ42に、nチャネル型MOSトランジスタ41が差動結合される。このMOSトランジスタ41、42のドレイン電極はカレントミラー型の負荷を形成するpチャネル型MOSトランジスタ44、45を介して高電位側電源VCCに結合される。また、MOSトランジスタ41、42のソース電極は定電流源43を介して低電位側電源VSSに結合される。MOSトランジスタ42のドレイン電極側から差動対の出力信号が得られる。差動対の出力信号は、pチャネル型MOSトランジスタ47のゲート電極に伝達される。pチャネル型MOSトランジスタ47のソース電極は高電位側電源VCCに結合され、pチャネル型MOSトランジスタ47のドレイン電極は、抵抗48を介して低電位側電源VSSに結合される。差動対の出力信号に応じて抵抗48に流れる電流が制御されることで、内部電源回路207の出力電圧VDD'のレベルが決定される。このような意味で、pチャネル型MOSトランジスタ47と抵抗48との直列回路を電圧出力回路と称する。内部電源回路207の出力電圧VDD'が、MOSトランジスタ41に伝達されることによって、高電位側電源VDDと、内部電源回路207の出力電圧VDD'との差分が得られ、この差分に基づいて、抵抗48に流れる電流がMOSトランジスタ47で制御されることにより、内部電源回路207の出力電圧VDD'は、高電位側電源VDDにほぼ等しくされる。

そしてこの内部電源回路 207 の出力電圧  $V_{DD}'$  は、メモリ側入出力バッファ回路 206 に供給される。

#### 【0036】

メモリ側入出力バッファ回路 206 は、複数のボンディングパッド 21-3 ~ 21-n に対応して配置された複数の入出力バッファを有する。そのうちの一つである入出力バッファ 206-3 は次のように構成される。

#### 【0037】

出力信号 OUT1 とアウトプットイネーブル信号 OE とのナンド論理を得るナンドゲート 51 と、このナンドゲート 51 の出力信号によって動作制御される p チャネル型 MOS トランジスタ 53 と、アウトプットイネーブル信号 OE の論理を反転するためのインバータ 50 と、このインバータ 50 の出力信号と上記出力信号 OUT1 とのノア論理を得るノアゲート 52 と、このノアゲート 52 の出力信号によって動作制御される n チャネル型 MOS トランジスタ 54 とが結合されることで、上記アウトプットイネーブル信号 OE がハイレベルにアサートされた期間に上記出力信号 OUT1 をボンディングパッド 21-3 に伝達するための出力バッファが形成される。ここで、ナンドゲート 51、インバータ 50、及びノアゲート 52 の電源電圧は、高電位側電源  $V_{CC}$  とされるが、p チャネル型 MOS トランジスタ 53 のソース電極に内部電源  $V_{DD}'$  が供給されるため、入出力バッファ 206-3 から出力される信号のハイレベルは、内部電源  $V_{DD}'$  レベルであり、それは高電位側電源  $V_{DD}$  レベルにほぼ等しい。

#### 【0038】

また、ボンディングパッド 21-3 の信号と、ライトイネーブル信号 WE とのノア論理がノアゲート 61 で得られ、このノアゲート 61 の出力信号が、後段のレベルシフト回路で、高電位側電源  $V_{CC}$  レベルに変換されるようになっている。上記レベルシフト回路は、上記ノアゲート 61 の出力信号の論理を反転するインバータ 60、p チャネル型 MOS トランジスタ 58、59、及び n チャネル型 MOS トランジスタ 56、57 を含んで成る。p チャネル型 MOS トランジスタ 58 と n チャネル型 MOS トランジスタ 56 とが直列接続され、p チャネル型 MOS トランジスタ 59 と n チャネル型 MOS トランジスタ 57 とが直列接続され



る。pチャネル型MOSトランジスタ58, 59のソース電極は高電位側電源VCCに結合される。nチャネル型MOSトランジスタ56, 57のソース電極は低電位側電源VSSに結合される。pチャネル型MOSトランジスタ58とnチャネル型MOSトランジスタ56との直列接続ノードは、pチャネル型MOSトランジスタ59のゲート電極に結合されるとともに、SRAM20における内部回路に結合される。pチャネル型MOSトランジスタ59とnチャネル型MOSトランジスタ57との直列接続ノードは、pチャネル型MOSトランジスタ58のゲート電極に結合される。ノアゲート61の出力信号はnチャネル型MOSトランジスタ57のゲート電極に伝達され、また、インバータ60を介してnチャネル型MOSトランジスタ56のゲート電極に結合される。ノアゲート61やインバータ60の電源は、内部電源VDD' とされるが、pチャネル型MOSトランジスタ58, 59のソース電極に高電位側電源VCCが供給されることから、内部電源VDD' レベルの信号が高電位側電源VCCレベルの信号IN1に変換されてから内部回路に伝達される。

#### 【0039】

他の入出力バッファ206-nも同様に構成される。

#### 【0040】

尚、アウトプットイネーブル信号OE、ライトイネーブル信号WEなどの各種制御信号や、アドレス信号などは、マイクロプロセッサ10からSRAM20へ伝達されるが、それとは逆にSRAM20からマイクロプロセッサ10へ伝達されることはない。従って、SRAM20において、アウトプットイネーブル信号OE、ライトイネーブル信号WEなどの各種制御信号や、アドレス信号などを取り込む端子（パッド）に対応するバッファには、出力バッファを省略し、入力バッファのみとすることができる。

#### 【0041】

上記の例によれば、以下の作用効果を得ることができる。

#### 【0042】

(1) SRAM20においては、マイクロプロセッサ10のコア電圧(VDD)として使用される高電位側電源VDDを参照電圧として取り込んで、この高電

位側電源  $VDD$  の電圧にほぼ等しい内部電源電圧  $VDD'$  を生成し、この内部電源電圧  $VDD'$  がメモリ側入出力バッファ回路 206 の動作電源として供給される。このため、マイクロプロセッサ 10 におけるシステム側入出力バッファ回路 103 においては、レベルシフトが不要となり、比較的簡単な構成のシステム側入出力バッファ回路 103 を介して、メモリ側入出力バッファ回路 206 をマイクロプロセッサ 10 におけるバス 106 に結合させることができる。このため、マイクロコンピュータ 10 と SRAM 20 との双方でレベルシフトを行う従来回路に比べて、マイクロプロセッサ 10 と SRAM 20 との間でやり取りされる信号の高速化を図ることができる。

#### 【0043】

(2) マイクロプロセッサ 10 のコア電圧 ( $VDD$ ) を参照電圧としてこの高電位側電源  $VDD$  の電圧にほぼ等しい内部電源電圧  $VDD'$  を生成しているため、マイクロプロセッサ 10 のコア電圧 ( $VDD$ ) が変更された場合でも、マイクロコンピュータ 10 と SRAM 20 との間のインタフェースレベルが整合されるため、SRAM 20 は、マイクロプロセッサ 10 の品種展開に対して汎用性を有する。

#### 【0044】

図 5 には、上記 SRAM 20 の別の構成例が示される。

#### 【0045】

図 5 に示される SRAM 20 が、図 1 に示されるのと大きく相違するのは、高電位側電源  $VCC$  を降圧することにより内部電源  $VDD_i$  を生成する降圧回路 90 が設けられている点と、メモリ側入出力バッファ回路 206 において、内部電源  $VDD_i$  系の信号を内部電源  $VDD'$  系の信号にレベルシフトするためのレベルシフト回路が設けられている点である。

#### 【0046】

上記内部電源  $VDD_i$  は、内部電源  $VDD'$  の電圧レベルよりも低い電圧レベルとされる。特に制限されないが、内部電源  $VDD'$  が 1.5 V とされるとき、内部電源  $VDD_i$  は 1.3 V とされる。SRAM 20 におけるロウデコーダ 202、コントローラ 203、カラム選択回路 204 や、カラムデコーダ 205 など

の内部回路は、上記内部電源  $VDD_i$  が供給されることで動作される。

#### 【0047】

メモリ側入出力バッファ回路 206 は、複数のボンディングパッド 21-3 ~ 21-n に対応して配置された複数の入出力バッファを有する。そのうちの一つである入出力バッファ 206-3 は次のように構成される。

#### 【0048】

図 5 に示される入出力バッファ 206-3 が、図 1 に示されるのと大きく相違するのは、出力信号  $OUT_1$  の信号レベルを内部電源  $VDD'$  系に変換するためのレベルシフト回路 91 と、アウトプットイネーブル信号  $OE$  の信号レベルを内部電源  $VDD'$  系に変換するためのレベルシフト回路 92 とが設けられる点である。レベルシフト回路 91 は、出力信号  $OUT_1$  の論理を反転するインバータ 915、p チャンネル型 MOS トランジスタ 911, 912、及び n チャンネル型 MOS トランジスタ 913, 914 を含んで成る。p チャンネル型 MOS トランジスタ 911 と n チャンネル型 MOS トランジスタ 913 とが直列接続され、p チャンネル型 MOS トランジスタ 912 と n チャンネル型 MOS トランジスタ 914 とが直列接続される。p チャンネル型 MOS トランジスタ 911, 912 のソース電極は内部電源  $VDD'$  に結合される。n チャンネル型 MOS トランジスタ 913, 914 のソース電極は低電位側電源  $VSS$  に結合される。p チャンネル型 MOS トランジスタ 912 と n チャンネル型 MOS トランジスタ 914 との直列接続ノードは、p チャンネル型 MOS トランジスタ 911 のゲート電極に結合されるとともに、ナンドゲート 51 の入力端子及びノアゲート 52 の入力端子に結合される。p チャンネル型 MOS トランジスタ 911 と n チャンネル型 MOS トランジスタ 913 との直列接続ノードは、p チャンネル型 MOS トランジスタ 912 のゲート電極に結合される。これにより、出力信号  $OUT_1$  は、内部電源  $VDD_i$  系の信号レベルから内部電源電圧  $VDD'$  系の信号レベルにシフトされる。

#### 【0049】

レベルシフト回路 92 は、アウトプットイネーブル信号  $OE$  の論理を反転するインバータ 925、p チャンネル型 MOS トランジスタ 921, 922、及び n チャンネル型 MOS トランジスタ 923, 924 を含んで成る。p チャンネル型 MOS

トランジスタ 921 と n チャンネル型 MOS トランジスタ 923 とが直列接続され、p チャンネル型 MOS トランジスタ 922 と n チャンネル型 MOS トランジスタ 924 とが直列接続される。p チャンネル型 MOS トランジスタ 921, 922 のソース電極は内部電源  $VDD'$  に結合される。n チャンネル型 MOS トランジスタ 923, 924 のソース電極は低電位側電源  $VSS$  に結合される。p チャンネル型 MOS トランジスタ 922 と n チャンネル型 MOS トランジスタ 924 との直列接続ノードは、p チャンネル型 MOS トランジスタ 921 のゲート電極に結合されるとともに、ナンドゲート 51 の入力端子に結合される。p チャンネル型 MOS トランジスタ 921 と n チャンネル型 MOS トランジスタ 923 との直列接続ノードは、p チャンネル型 MOS トランジスタ 922 のゲート電極に結合されるとともに、ノアゲート 52 の入力端子に結合される。これにより、アウトプットイネーブル信号 OE は、内部電源  $VDD_i$  系の信号レベルから内部電源電圧  $VDD'$  系の信号レベルにシフトされる。

#### 【0050】

このように SRAM20 の内部回路に供給される内部電源  $VDD_i$  が内部電源電圧  $VDD'$  よりも低いレベルとされる場合には、メモリ側入出力バッファ回路 206 において、レベルシフト回路 91, 92 を設け、内部電源  $VDD_i$  系の信号レベルを内部電源電圧  $VDD'$  系の信号レベルにシフトすれば良い。かかる構成においても、図 1 に示される場合と同様の作用効果を得ることができる。

#### 【0051】

図 6 には、上記マルチチップモジュール 1 の別の構成例が示される。

#### 【0052】

図 6 に示されるマルチチップモジュール 1 が、図 2 に示されるのと大きく相違するのは、基板 30 に高電位側電源  $VDD$  のボンディングパッドが省略され、マイクロプロセッサ 10 のボンディングパッド 11-2 と、SRAM20 のボンディングパッド 21-2 とがボンディングワイヤによって結合されている点である。

#### 【0053】

図 7 には、図 6 に示されるマイクロプロセッサ 10 と SRAM20 との主要部

が示される。

#### 【0054】

図6に示されるマイクロプロセッサ10が、図1に示されるのと大きく相違するのは、高電位側電源VCCを降圧することによって高電位側電源VDDを生成する内部コア電源回路100を備える点である。特に制限されないが、高電位側電源VCCは3.3V、内部コア電源VDDは1.5Vとされる。この内部コア電源VDDは、図3に示されるCPU101、ROM102、DMAC104、及びBSC105などの内部コア（内部回路）、及びシステム側入出力バッファ回路103に供給される。

#### 【0055】

そして、上記内部コア電源回路100において生成された内部コア電源VDDは、マイクロプロセッサ10のボンディングパッド11-2、及びSRAM20のボンディングパッド21-2を介して内部電源回路207に、参照電圧Vrefとして伝達される。つまり、図1に示される構成では、参照電圧Vrefは、基板30のボンディングパッド30-2を介して伝達されたが、図7に示される構成では、マイクロプロセッサ10における内部コア電源回路100で生成された電圧が参照電圧Vrefとして利用される。

#### 【0056】

尚、その他の構成については、図1に示される場合と同一とされる。

#### 【0057】

このように、マイクロプロセッサ10における内部コア電源回路100で生成されたコア電圧（VDD）が参照電圧Vrefとして利用する場合においても、図1に示される場合と同様の作用効果を得ることができる。

#### 【0058】

また、マイクロプロセッサ10における内部コア電源回路100で生成されたコア電圧（VDD）がSRAM20に伝達される場合において、このコア電圧（VDD）をそのままメモリ側入出力バッファ回路206へ供給することが考えられる。しかし、マイクロプロセッサ10における内部コア電源回路100に十分な電流容量が無い場合には、コア電圧（VDD）の電圧レベルが不所望に低下す

るおそれがある。これに対して、図 7 に示されるように、マイクロプロセッサ 10 における内部コア電源回路 100 で生成された電圧を参照電圧  $V_{ref}$  として取り込み、それに基づいて内部電源回路 207 で内部電源  $V_{DD}'$  を生成する場合には、参照電圧  $V_{ref}$  自体の消費が極めて少ないため、マイクロプロセッサ 10 における内部コア電源回路 100 に十分な電流容量が無い場合においても、コア電圧 ( $V_{DD}$ ) の電圧レベルが不所望に低下するのを回避することができるという利点がある。

#### 【0059】

以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### 【0060】

例えば、マイクロプロセッサ 10 から SRAM 20 へクロック信号を供給し、SRAM 20 の主要部をこのクロック信号に同期動作させることができる。この場合、SRAM 20 は、クロック同期型とされる。例えば図 8 に示されるように、マイクロプロセッサ 10 において、内部クロック生成回路 107 と、クロックドライバ回路 108 を設ける。内部クロック発生回路 107 は、基板 30 (図 2 参照) に設けられたボンディングパッド 30-3 及びマイクロプロセッサ 10 に設けられたボンディングパッド 11-CLK1 を介して取り込まれたクロック信号に基づいて内部クロック信号  $int\_CLK$  を生成する。この内部クロック信号  $int\_CLK$  は、マイクロプロセッサ 10 の内部回路に供給されるとともに、クロックドライバ回路 108 に伝達される。クロックドライバ回路 108 は、伝達された内部クロック信号  $int\_CLK$  に基づいて、外部負荷を駆動する。これにより、内部クロック信号  $int\_CLK$  が、マイクロプロセッサ 10 のボンディングパッド 11-CLK2、及び SRAM 20 のボンディングパッド 21-CLK1 を介して SRAM 20 の内部に伝達される。

#### 【0061】

SRAM 20 は、クロック信号用の入力バッファ回路 208 と、このクロック信号用の入力バッファ回路 208 でバッファリングされたクロック信号に同期動

作されるD型フリップフロップ回路209とを備える。SRAM20からマイクロプロセッサ10に伝達される信号は、D型フリップフロップ回路209においてクロック信号に同期されてから入出力バッファ206nの出力バッファに伝達され、この出力バッファを介してマイクロプロセッサ10に伝達される。

#### 【0062】

上記入力バッファ回路208は、インバータ93、94、95、pチャネル型MOSトランジスタ98、99、nチャネル型MOSトランジスタ96、97を含む。

#### 【0063】

pチャネル型MOSトランジスタ98とnチャネル型MOSトランジスタ96とが直列接続され、pチャネル型MOSトランジスタ99とnチャネル型MOSトランジスタ97とが直列接続される。pチャネル型MOSトランジスタ98、99のソース電極は高電位側電源VCCに結合される。nチャネル型MOSトランジスタ96、97のソース電極は低電位側電源VSSに結合される。pチャネル型MOSトランジスタ98とnチャネル型MOSトランジスタ96との直列接続ノードは、pチャネル型MOSトランジスタ99のゲート電極に結合されるとともに、インバータ93を介して内部回路やD型フリップフロップ回路209に伝達される。

#### 【0064】

pチャネル型MOSトランジスタ99とnチャネル型MOSトランジスタ97との直列接続ノードは、pチャネル型MOSトランジスタ98のゲート電極に結合される。インバータ94の出力信号はnチャネル型MOSトランジスタ97のゲート電極に伝達され、また、インバータ95を介してnチャネル型MOSトランジスタ96のゲート電極に結合される。インバータ94、95の電源は、内部電源VDD'とされるが、pチャネル型MOSトランジスタ98、99のソース電極に高電位側電源VCCが供給されることから、内部電源VDD'レベルの信号が高電位側電源VCCレベルの信号に変換されてから内部回路やD型フリップフロップ回路209に伝達される。これにより、内部回路やD型フリップフロップ回路209は、マイクロプロセッサ10において使用されている内部クロック

信号 `int.CLK` に同期動作される。

【0065】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるマイクロプロセッサとSRAMとが積み重ねられる場合について説明したが、マイクロプロセッサと、SRAMなどの半導体メモリとが平面的に並べられる場合にも本発明を適用することができる。

【0066】

本発明は、少なくともマイクロプロセッサとそれによってアクセス可能な半導体メモリとを含むことを条件に適用することができる。

【0067】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0068】

すなわち、マイクロプロセッサの電源電圧を参照電圧として半導体メモリに取り込み、それに基づいて生成された内部電源電圧を半導体メモリにおけるメモリ側入出力バッファ回路に供給することにより、メモリ側入出力バッファ回路の信号レベルをシステム側入出力バッファ回路に合わせることができるため、マイクロプロセッサ側のレベルシフトが不要とされ、マイクロプロセッサから半導体メモリの高速アクセスが可能とされる。

【図面の簡単な説明】

【図1】

本発明にかかる半導体装置の一例であるマルチチップモジュールにおける主要部の構成例回路図である。

【図2】

上記マルチチップモジュールの斜視図である。

【図3】

上記マルチチップモジュールに含まれるマイクロプロセッサの構成例ブロック図である。



**【図 4】**

上記マルチチップモジュールに含まれる S R A M の構成例ブロック図である。

**【図 5】**

上記マルチチップモジュールにおける主要部の別の構成例回路図である。

**【図 6】**

本発明にかかる半導体装置の一例である別のマルチチップモジュールの斜視図である。

**【図 7】**

図 6 に示されるマルチチップモジュールにおける主要部の構成例回路図である。

**【図 8】**

上記マルチチップモジュールにおける主要部の別の構成例回路図である。

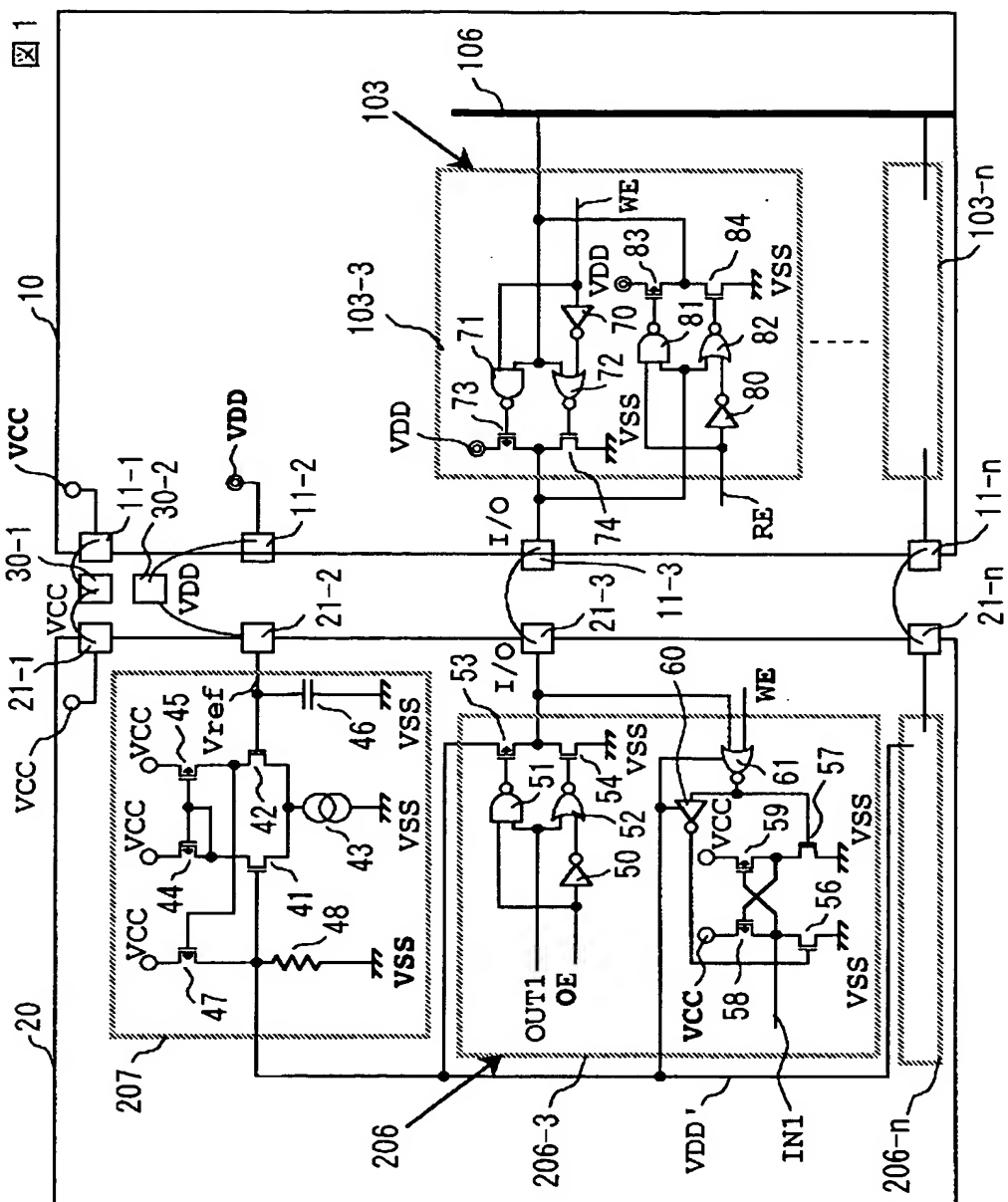
**【符号の説明】**

- 10 マイクロプロセッサ
- 11-1 ~ 11-n ボンディングパッド
- 20 S R A M
- 21-1 ~ 21-n ボンディングパッド
- 30 基板
- 31-1 ~ 31-n ボンディングパッド
- 90 降圧回路
- 100 内部コア電源回路
- 101 C P U
- 102 R O M
- 103 システム側入出力バッファ
- 104 D M A C
- 105 B S C
- 106 バス
- 201 メモリセルアレイ
- 202 ロウデコーダ

- 2 0 3 コントローラ
- 2 0 4 カラム選択回路
- 2 0 5 カラムデコーダ
- 2 0 6 メモリ側入出力回路
- 2 0 7 内部電源回路

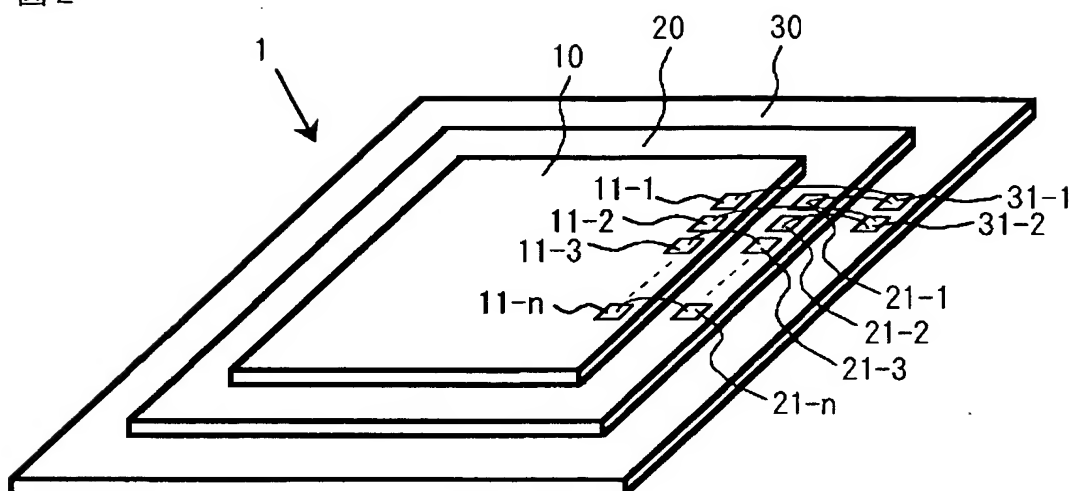
【書類名】 図面

【図 1】



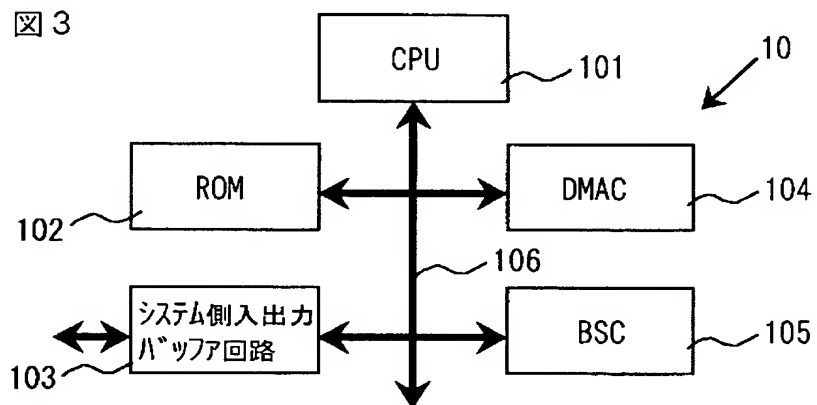
【図 2】

図 2



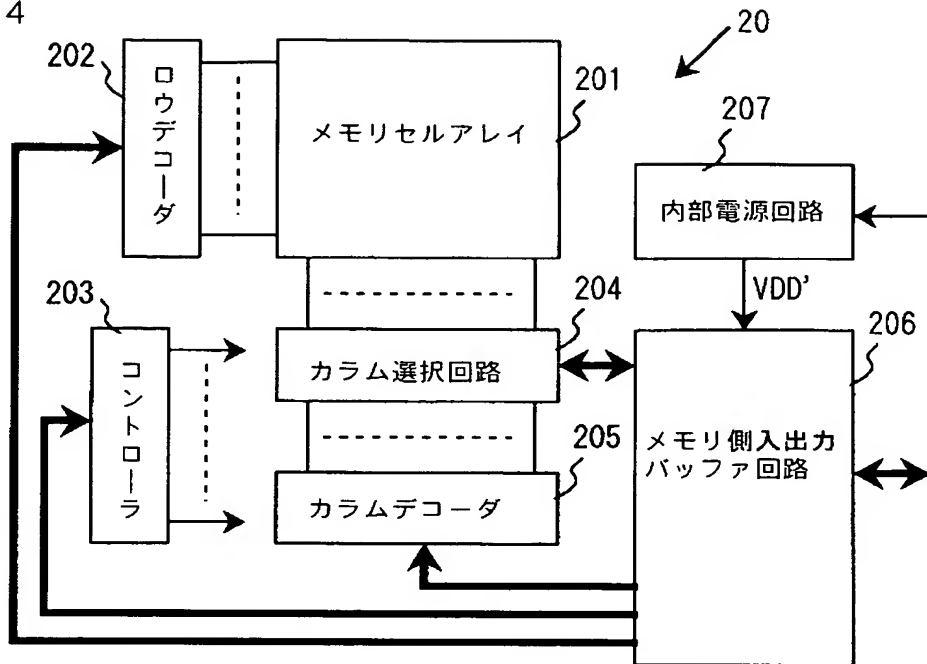
【図 3】

図 3



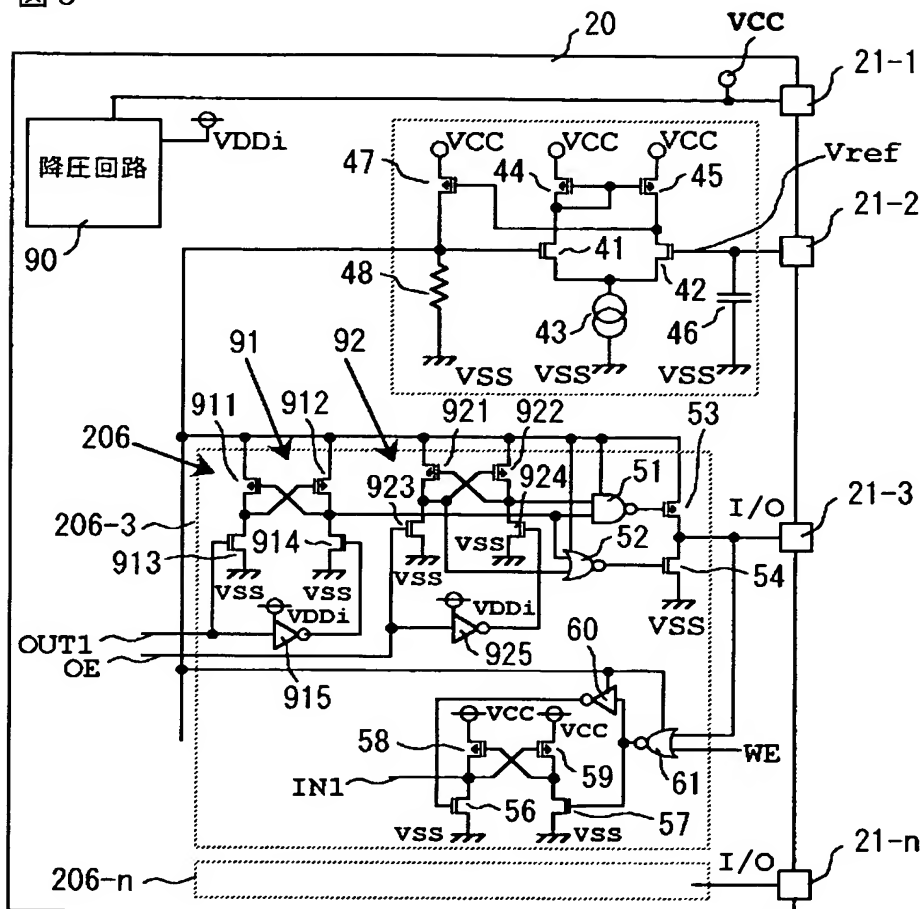
【図 4】

図 4



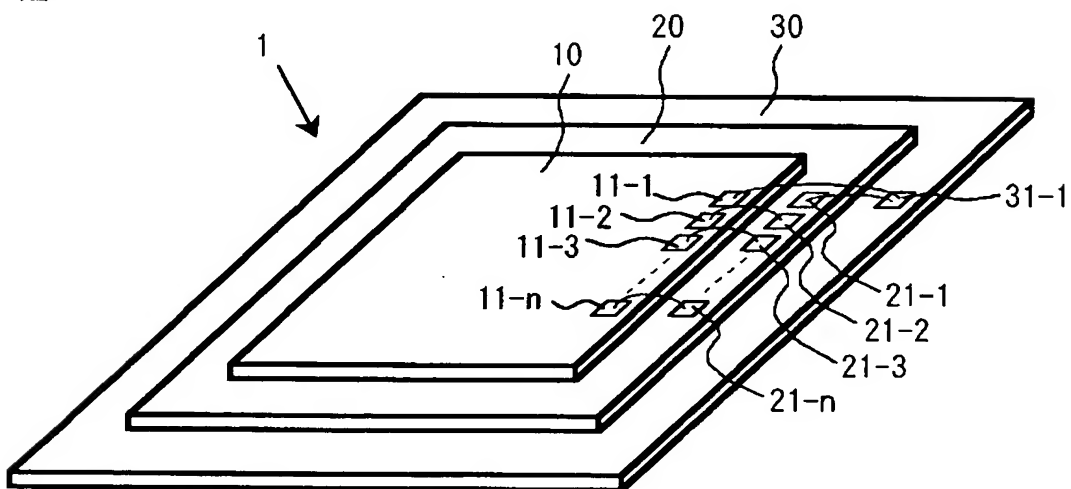
【図 5】

図 5

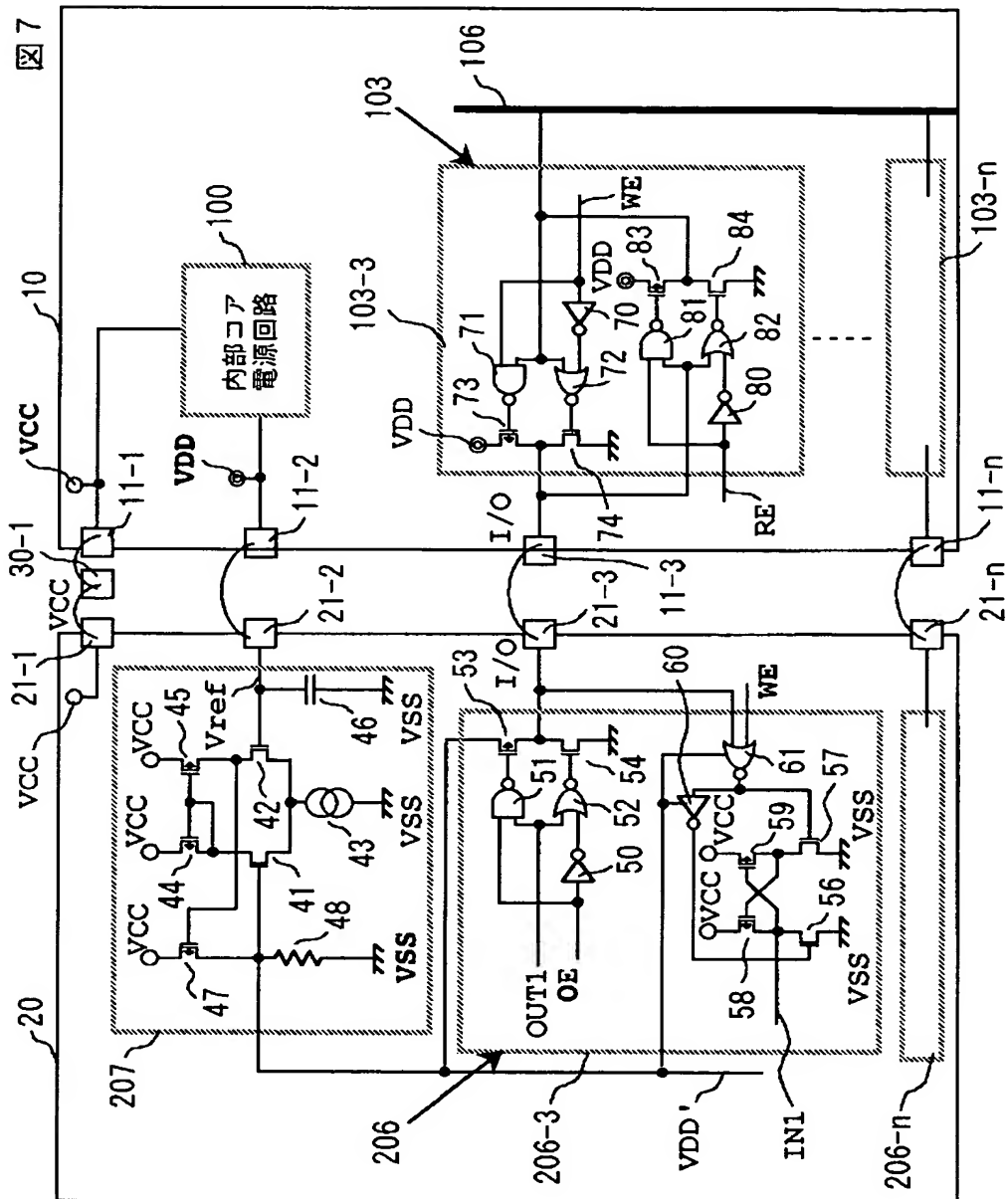


【図 6】

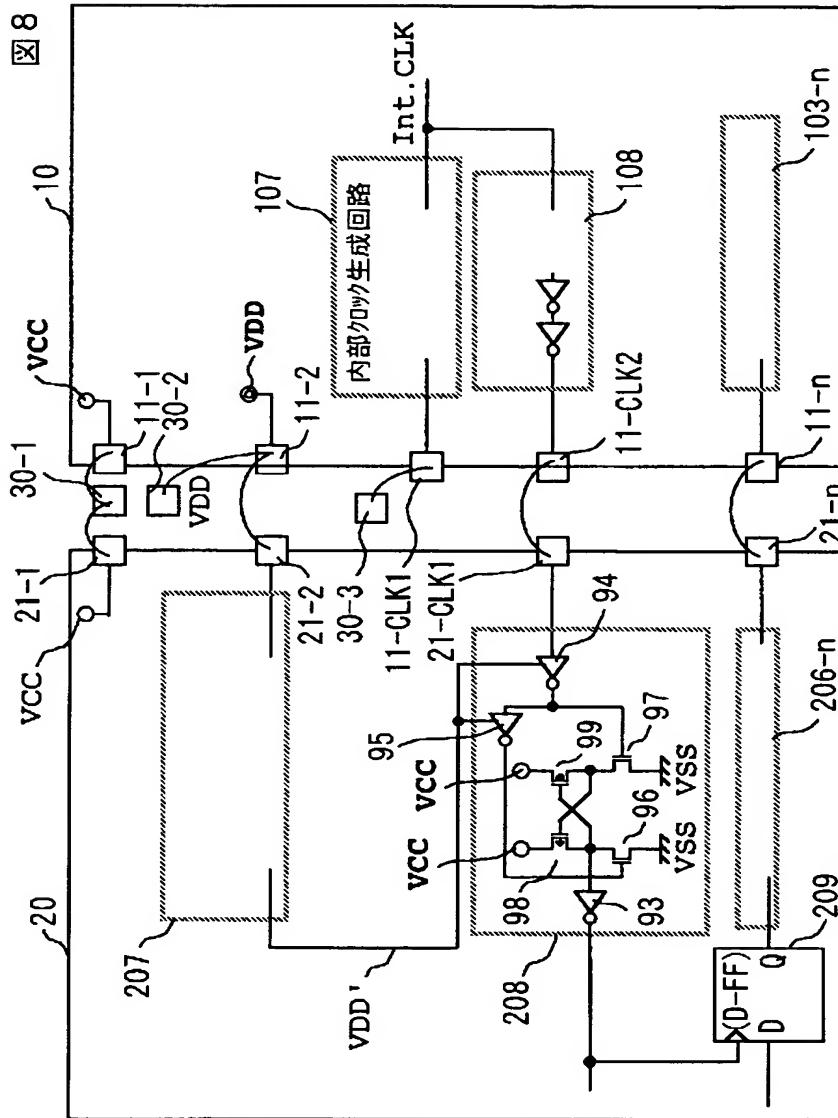
図 6



【図 7】



【図 8】





【書類名】 要約書

【要約】

【課題】 高速メモリアクセスを可能とする。

【解決手段】 マイクロプロセッサ（10）と半導体メモリ（20）を含んで半導体装置が構成されるとき、上記マイクロプロセッサには、電源電圧の供給により外部との間で信号のやり取りを可能とするシステム側入出力バッファ回路（103）を設け、上記半導体メモリには、上記電源電圧を参照電圧として取り込んで、上記電源電圧にほぼ等しい内部電源電圧を生成する内部電源回路（207）と、上記内部電源電圧が供給されることにより、上記システム側入出力バッファ回路との間で信号のやり取りを可能とするメモリ側入出力バッファ回路（206）とを設け、マイクロプロセッサ側のレベルシフトを不要として半導体メモリの高速アクセスを可能とする。

【選択図】 図1

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 47071

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【提出物件の目録】

【包括委任状番号】 0308734

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け  
提出の会社分割による特許権移転登録申請書 を援用  
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 2 - 3 2 1 6 4 9 号 同日提出の出願人  
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 4 7 0 7 1
受付番号	5 0 3 0 1 2 1 0 8 1 7
書類名	出願人名義変更届（一般承継）
担当官	関 浩次 7 4 7 5
作成日	平成 1 5 年 1 0 月 3 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 7 月 23 日

特願 2 0 0 3 - 0 4 7 0 7 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日  
[変更理由]

1 9 9 0 年 8 月 3 1 日

新規登録

住 所  
氏 名

東京都千代田区神田駿河台 4 丁目 6 番地  
株式会社日立製作所

特願 2 0 0 3 - 0 4 7 0 7 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 2 3 3 1 6 9 ]

1. 変更年月日

1 9 9 8 年 4 月 3 日

[変更理由]

名称変更

住 所

東京都小平市上水本町 5 丁目 2 2 番 1 号

氏 名

株式会社日立超エル・エス・アイ・システムズ

特願 2 0 0 3 - 0 4 7 0 7 1

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ